(54) MANUFACTURE OF MIS TYPE SEM GALLIUM ARSENIDE

DUCTOR DEVICE USING

(11) 1-211976 (A)

(43) 25.8.1989 (19) JP

(21) Appl. No. 63-36971 (22) 18.2.1988

(71) NEC CORP (72) SHINJI FUJIEDA

(51) Int. Cl⁴. H01L29/78,H01L21/314,H01L21/318

PURPOSE: To improve reproducibility, by a method wherein, after a gallium arsenide surface is made a gallium stabilized surface, specified anionic element is bonded or radical or molecule containing anionic element is deposited, and then an insulator film is deposited at 450°C or less.

CONSTITUTION: A process to eliminate a natural oxide film using GaAs epitaxial growth or heat treatment of a GaAs substrate in an As atmosphere is performed, in order that the natural oxide film may not be contained previously in the GaAs substrate. The GaAs surface is made a Ga stabilized surface, and one anionic element out of phosphous(P), selenium(Se), sulfur(S) and fluorine is bonded. As an insulator film, non-oxide system insulator such as nitride and fluoride is deposited at 450°C or less, thereby increasing the reproducibility of manufacturing process.

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(11) 1-211977 (A)

(43) 25.8.1989 (19) JP

(21) Appl. No. 63-35206 (22) 19.2.1988

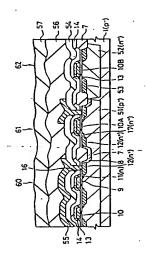
(71) HITACHI LTD (72) TAKASHI SHIBATA(3)

(51) Int. Cl4. H01L29/78,H01L27/04,H01L27/10

PURPOSE: To prevent short channel effect, by forming the low concentration region on the channel region side of a drain, by using impurity whose diffusion

coefficient is small as compared with phosphorus.

CONSTITUTION: A P-type semiconductor region 51 is formed from the main surface of a semiconductor substrate 1 toward the inside, and gate electrodes 10 are formed on the main surface, putting a gate insulating film 9 therebetween. Arsenide ion is introduced by using the electrodes 10 as a mask, and a first semiconductor region 11 of N-type is formed in the P-type semiconductor region 51. Side walls 13 are arranged on both side walls of the gate electrode 10. Arsenide ion is introduced by arranging side walls 13 on both side walls of the gate electrodes 10 and using the gate electrodes 10 and the side wall 13 as masks. Electric connection with the first semiconductor region 11 is completed, and a second semiconductor region 12 of high impurity concentration is formed. The low concentration region 11 of a source drain region is formed, in the above manner, by using arsenide whose diffusion coefficient is small, thereby reducing the oozing into the channel region, and preventing short channel effect.



(43) 25.8.1989 (11) 1-211978 (A)

(21) Appl. No. 63-35385 (22) 19.2.1988

(71) FUJITSU LTD (72) KAZUO YAMANAKA

(51) Int. Cl4. H01L29/78,H01L29/68

PURPOSE: To optimize cost performance, by specifying the relation between the cell interval and the cell dimension of an insulating gate type bipolar transistor constituted of a plurality of polygonal cells, and defining the reference of unit pattern design.

CONSTITUTION: In the title semiconductor device, the relation between the cell dimension and the cell interval of an insulating gate type bipolar transistor-(IGBT) is set in an optimum value. The cell interval U_{GM} and cell dimension (w) of the insulating gate type bipolar transistor constituted of a plurality of polygonal cells is set in a range less than or equal to 20% of the relation shown by eq.I. Thereby, the reference of design is clarified, the accuracy of design is improved, the design is facilitated, the operating area can be reduced, and the cost performance is optimized.

$$U_{*n} = \frac{1}{2} \left(- \left(2 w - \frac{w}{K} \right) - \sqrt{\left(2 w - \frac{w}{K} \right)^{2} - 4 w^{2}} \right)$$

$$K = \frac{U_{*n} \cdot w}{\left(U_{*n} + w \right)^{2}} \le 0.25$$





69 日本国特許庁(JP)

① 特許出願公開

⑩ 公 開 特 許 公 報 (A) 平1-211976

@Int. Cl. 4

庁内整理番号 磁別配号

@公開 平成1年(1989)8月25日

H 01 L 29/78 21/314

3 0 1 21/318

日本電気株式会社

B-8422-5F

A-6824-5F B-6824-5F審査請求 未請求 請求項の数 1 (全3頁)

会発明の名称

勿出 願

ヒ化ガリウムを用いたMIS型半導体装置の製造方法

頤 昭63-36971 20特

顧 昭63(1988) 2月18日 20出

@発 明 藤 枝 老 人

東京都港区芝5丁目33番1号 日本電気株式会社内 信 次

東京都港区芝5丁目33番1号

弁理士 内原 四代 理 人

発明の名称

ヒ化ガリウムを用いたMIS型半導体装置の 製造方法

特許請求の範囲

ヒ化ガリウム上に非酸化物系絶縁体膜を形成さ せ、MIS型半導体装置を製造する方法であっ て、該絶縁体膜形成前にヒ化ガリウム表面をガリ ウム安定化面とした後リン(P)。セレニウム (Se)、硫黄 (S)、フッ素 (P) のうち1つ の強イオン性元素を結合させるかまたは降イオン 性元素を含むラジカルあるいは分子を吸着させた 上にこれに鉄絶緑体膜を450°C以下で堆積す る工程を含むことを特徴とするヒ化ガリウムを用 いたMIS型半導体装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法、更に詳しくは

ヒ化ガリウムを用いたMIS(金属ー絶線体ー半 導体)型半導体装置の製造方法に関する。 (従来の技術)

ヒ化ガリウム(以降GaAsと記す)を用いた MIS型半導体装置の特性は絶縁体膜とGaAs との界面特性に大きく依存する。従来、良好な界 面特性を得る方法としては、絶縁体膜形成前に、 ①GaAs表面をH₂、N₂、NH₃等のプラズ マで処理する方法(ジャーナル・オブ・アプライ ド・フィジクス (Journal of the Applied Physi cs) 52 (1981) 3515-3519). ② GaAs表面を高純度流水で処理する方法(アブ ライド・フィジスク・レターズ(Applied Physic s letters) 50 (1987) 256-258) 等 が検討されてきた。これらは、n型GaAsを用 いたMIS型半導体装置においてGaAs表面の 過剰Asが表面ボテンシャルをピンニングしてし まい外間特性を劣化させてしまうという問題の解 決を目的としたものである.

(発明が解決しようとする問題点)





特開平1-211976(2)

しかし、①の場合アラズマ条件によってはGaAs表面が根係を受ける危険性がある。すなわち、アラズマ処理時間やアラズマ出力条件等の最適化が必要になる。また②の一合には流水処理後絶縁体膜を形成するまでの間にGaAs表面を大気に晒してはならず特別の工夫が必要とされ再現性に問題がある。本発明の目的は、再現性の良い半導体装置の製造方法を得ることにある。

(問題を解決するための手段)

(作用)

圧が生じ、GaAs表面における過剰Asの生成の防止を意図した上記工程の制御性が悪化することが分かった。さらにこのAs分圧の変動が過剰As生成の防止に与える影響は、絶縁体膜を堆積させるGaAs表面の状態(初期状態)によって異ることが分った。

GaAs表面の初期状態をGa安定化面とし、P、Se、S、Fのうちいづれか一つの降イオを性元素を結合させるかまたは関イオをはついた素を結合さいは分子を吸着させることに翻いるのがAs分圧の影響を知られることを抑制である。

本発明では、G a A s 表面にはあらかじめ自然 酸化膜が含まれぬようG a A s エピタキシャル成 長あるいはG a A s 基板のA s 雰囲気無処理によ

上記問題を解決するための手段を検討した結 果、特許額61-191307,同61-191379 において記載 した方法などが有用であることを見いだした。す なわち、(1) G a A s 基板上に成長させたG a A s エピタキシャル成長層の上に絶縁体膜として目族 鼠化物を被着させる工程において該□族鼠化物堆 積直前に(1-1) AS原料、直族窒化物の直族原 料、N原料を順に供給するかあるいは(1-2) Ga 原料、N原料を順に供給する方法、または20Ga Asエピタキシャル成長層あるいはGaAs茲板 のAs雰囲気中熱処理の後500-550°Cに おいて(2-1) 高純度日2 中あるいは高真空中また は(2-2) 横雰囲気中で熱処理を行った後450 * C以下で非酸化物系絶縁体膜を被着させる方法 を探ることにより比較的簡便に特性の再現性を改 善することが可能であった。しかしながら、依然 ・として、再現性に問題があった。その原因を検討 したところ、上配方法の場合には製造工程の繰り 返しに伴い製造装置内の内壁などにGaAsや Asが付着する結果装置内に制御されないAs分

る自然酸化膜除去の工程を行ってある。この後G aAs表面をGa安定化面とし、除イオン性元素 を結合させておく。絶縁体膜としては窒化物、フ ッ化物等非酸化物系絶縁体を450°C以下で堆 積するものとする。酸化物系の絶縁体膜はその堆 積がGaAs表面酸化膜・過剰As生成の原因と なるために除外する。

(実施例):

以下、本発明を実施例により説明する。



特別平1-211976(3)

然酸化膜を除去した。次に200°Cまで降温し (Asl分子線照射は550°Cで停止した)Ga 分子級(1 x 1 0 ¹⁵ cm ⁻² sec⁻¹)を 1 分間照射後 再び620°Cまで昇温してGa安定化面を得 た。このとき反射高速電子線回折(RHEED) パタンは4x6構造を示した。引き続き装置内、 500°CでHa Se (0.05cc/min) を供給 し1分間熱処理後降温し400°CでH2Se供 給を停止後CaF』を厚さ50mm蒸着した。得 られたCaF2/GaAS試料にアルミニウム (A1) を蒸着後パターニングしゲートを形成し た。最後にソース、ドレインn゚コンタクト上に 金·ゲルマニウム・ニッケル(AuGeNi)電 極を形成しMISFETとした。本方法で作製し たMISFETは蓄積型の動作を示した。ゲート 艮1μmのとき相互コンダクタンス (gョ)は平均 4 5 m S / ●■であり、この平均g ■ は 1 0 回の製 造回数で±15%の分布範囲内にあり、本実施例 が良好な再現性を持つことがわかった。

第2の実施例では非酸化物系絶縁体として窒化 アルミニウム (A & N) をトリメチルアルミニウ ム (TMA) - ヒドラジン (N2 H4) 系原料に より堆積してMIS型電界効果トランジスタ(M ISF B T)を作製した。また降イオン性元素と してはリン(P)をガリウム安定化面に結合させ ることとした。本実施例ではガスソース分子線エ ピタキシャル (M O M B E) 装置により工程を行 った。第1の実施例と同じGaAs荔板を装置内 に導入し、As分子線(As4 強度:1×10¹⁵ cm - 2 sec-1) を照射しながら昇温し650°Cで 2分間熱処理することにより基根表面の自然酸化 膜を除去した。次に550°CでAs分子線を停 止した後1分間Ha(0.1cc/sin)雰囲気中で 熟処理を行いG a 安定化面を得た。引き続きフォ スフィン (PHs:0.05cc/min) を供給しな がら400° Cまで降温した後N2 H4, TMA の供給を順に開始し厚さ100ヵmのALN膜を 堆積した。本方法で作製したMISFETは蓄積 型の動作を示した、ゲート長1μmのとき相互コ ンダクタンス (gョ)は平均50mS/==であり、 この平均gmは10回製造回数で±15%の分布 範囲内にあり、本実施例が良好な再現性を持つこ

とがわかった.

第3の実施例では第2の実施例におけるPHsをHaS(0.05cc/min)に変えがリウム安定化面に確實(S)を結合させることとした。本方法で作製したMISFETは蓄積型の動作を示した。ゲート長1μmのとき相互コンダクタンス(ga)は平均45mS/maであり、この平均gaにあり、本実施例が良好な再現性を持つことがわかった。

第4の実施例では第1の実施例におけるH。SeをNF。(O.O5cc/ain)に変えガリウン安定化面にフッ素(F)を結合させることとなっただしこの場合NF。はフッ化アルンンマーレーザー光を用いて分解を行った。本方ととエ方にで作製したMISFETは蓄積型の動作を示った。ゲート長1μmのとき相互コングの平均にのサート長1μmのとき相互コングの平均にのは10回の製造回数で±15%の分布範囲内にあり、本実施例が良好な再現性を待つことがわかっ

た.

以上の結果は従来法のうちでも最良の場合の40%よりも改善されたものである。-----

実施例においてはGaAs基板上に直接、絶縁体膜を被着したが、基板上にGaAsのエピタキシャル成長層を形成させ、その成長層の表面をGa安定化面とした後、絶縁体膜を形成させてした。また絶縁体膜としては、CaFaやAINに限られたものではなく、SiNxやBNなど他の酸素を含まない絶縁体膜でも良い。

絶縁体膜の成長方法も分子線エピタキシー以外の 気相成長方法を用いることができる。

(発明の効果)

以上に述べたように、本発明によればヒ化ガリウムを用いたMIS型半導体装置の製造工程の再現性を向上させることができる。

代理人 弁理士 内原 晉